

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-223118

(43) 公開日 平成9年(1997) 8月26日

(51) Int.Cl. ⁹	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 15/163			G 0 6 F 15/16	3 2 0 K
12/08		7623-5B	12/08	H
		7623-5B		E
	3 1 0	7623-5B		3 1 0 Z
12/12		7623-5B	12/12	A

審査請求 未請求 請求項の数 3 F D (全 20 頁)

(21) 出願番号 特願平8-50963

(22) 出願日 平成8年(1996) 2月14日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 佐藤 正樹

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

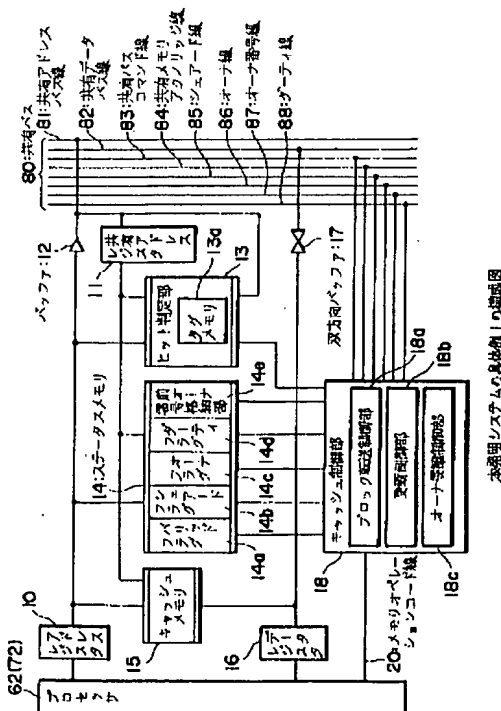
(74) 代理人 弁理士 佐藤 幸男 (外1名)

(54) 【発明の名称】 スヌープキャッシュメモリ制御システム

(57) 【要約】

【課題】 共有メモリへのアクセスをできるだけ抑えるシステムを実現する。

【解決手段】 前オーナー番号格納部14eは、以前にオーナーであったキャッシュメモリまたは共有メモリの番号を格納する。キャッシュ制御部18は、自キャッシュメモリ15が保持するデータを追い出す場合、前オーナー番号格納部14eを参照して、キャッシュメモリの番号があった場合、その番号のキャッシュメモリ15にオーナーを移動する。



1

【特許請求の範囲】

【請求項 1】 各々がキャッシュメモリおよびプロセッサを有する要素プロセッサと、共有メモリとを共有バスを介して接続し、前記各キャッシュメモリが前記共有バス上のトランザクションを監視し、データの一貫性を保証するスヌープキャッシュメモリ制御システムにおいて、

自キャッシュメモリが保持するデータを追い出す場合、当該データが前記共有メモリのデータと一致しない場合は、前記共有メモリに書き戻す責任を持ったキャッシュメモリをオーナーとし、

各キャッシュメモリは、以前にオーナーであったモジュールとしてのキャッシュメモリまたは前記共有メモリの番号を格納する前オーナー番号格納部と、

自キャッシュメモリが保持するデータを追い出す場合、前記前オーナー番号格納部を参照し、前記前オーナー番号格納部がいずれかのキャッシュメモリの番号を示していた場合、そのキャッシュメモリにオーナーを移動するキャッシュメモリ制御部とを備えたことを特徴とするスヌープキャッシュメモリ制御システム。

【請求項 2】 請求項 1 記載のスヌープキャッシュメモリ制御システムにおいて、

キャッシュ制御部は、

キャッシュミス時のブロック転送がいずれかのキャッシュメモリから行われる場合に、転送元のキャッシュメモリ番号を転送先のキャッシュメモリに通知し、このキャッシュメモリ番号を、当該転送先の前オーナー番号格納部に格納すると共に、オーナーを転送元のキャッシュメモリから転送先のキャッシュメモリに移動させ、一方、キャッシュミス時のブロック転送が、前記共有メモリから行われる場合は、前記前オーナー番号格納部に、前記共有メモリの番号を格納するブロック転送制御部と、

共有ブロックに対する書き込みで、他のキャッシュメモリに更新要求を送った時、更新要求先のキャッシュメモリがオーナーであった場合、オーナーである当該更新要求先キャッシュメモリの番号を、前記更新要求元キャッシュメモリに通知し、この番号を、当該更新要求元キャッシュメモリの前オーナー番号格納部に、前オーナー番号として格納すると共に、オーナーを、前記更新要求先のキャッシュメモリから、前記更新要求元のキャッシュメモリに移動する更新制御部と、

ミスヒットしたブロックのリプレース時に、当該ブロックが共有ブロックでかつオーナーである場合、前オーナー番号格納部の前オーナー番号と、オーナー委譲要求を共有バス上に出力すると共に、共有ブロックでかつオーナーであるブロックのオーナー委譲要求にキャッシュヒットし、キャッシュヒットしたモジュール番号が自キャッシュメモリを指していた場合、オーナーを自キャッシュメモリに設定し、一方、共有ブロックでかつ書き換えられており、オ

2

ーナであるブロックのオーナー委譲要求に応答したキャッシュメモリがなかった場合は、前記共有メモリに書き戻しを行うオーナー委譲制御部とを備えたことを特徴とするスヌープキャッシュメモリ制御システム。

【請求項 3】 各々がキャッシュメモリおよびプロセッサを有する要素プロセッサと、共有メモリとを共有バスを介して接続し、前記各キャッシュメモリが前記共有バス上のトランザクションを監視し、データの一貫性を保証するスヌープキャッシュメモリ制御システムにおいて、

自キャッシュメモリが保持するデータを追い出す場合、当該データが前記共有メモリのデータと一致しない場合は、前記共有メモリに書き戻す責任を持ったキャッシュメモリをオーナーとし、

各キャッシュメモリは、

オーナー委譲要求に対しキャッシュヒットしたキャッシュメモリが複数ある場合に、それぞれに優先度を設け、自分より優先度の高いキャッシュメモリがオーナー委譲要求に対しキャッシュヒットしたかどうかを判定する高優先度キャッシュメモリヒット判定部と、

ミスヒットしたブロックのリプレース時に、当該ブロックが共有ブロックでかつオーナーである場合に、オーナー委譲要求を前記共有バス上に出力すると共に、前記オーナー委譲要求に対し、キャッシュヒットした場合は、これを全キャッシュメモリに通知し、前記高優先度キャッシュメモリキャッシュヒット判定部により、自分より優先度の高いキャッシュメモリがキャッシュヒットしなかった時に、オーナーを自キャッシュメモリに設定し、一方、書き換えられているブロックのオーナー委譲要求に対し、キャッシュヒットしたキャッシュメモリがなかった場合は、前記共有メモリに書き戻し処理を行うオーナー委譲制御部とを備えたことを特徴とするスヌープキャッシュメモリ制御システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、共有バス型マルチプロセッサシステムにおけるキャッシュメモリの制御システムに関するものであり、特に、共有バスを介して共有メモリに接続された各キャッシュメモリのデータの一貫性を効果的に保証するスヌープキャッシュメモリ制御システムに関する。

【0002】

【従来の技術】複数のプロセッサが共有バスを介して共有メモリに接続された共有バス型マルチプロセッサシステムにおいては、各プロセッサにキャッシュメモリを持たせ、処理の高速化とバストラフィックの軽減化を図る方法がよく知られている。この方法では、複数のキャッシュメモリ間で同一のデータを保持している場合に、そのデータに対して書き込みが行われたとき、残りのデータが同じであること（コンシステンシ）を保証する機

3

構が必要となる。共有バス型の内部接続網では、各キャッシュメモリが他のキャッシュメモリのバストランザクションを監視することにより、コンシステンシーの問題を分散的に制御可能である。このように、バスのトランザクションを監視するキャッシュメモリのことをスヌープキャッシュメモリと呼ぶ。このスヌープキャッシュメモリの制御方法には、キャッシュメモリの管理についていくつかの制御方法が提案されている。

【0003】例えば、従来のスヌープキャッシュメモリの制御方法のなかには、キャッシュメモリにミスヒットしたデータを含むブロックのコピーを他のキャッシュメモリが保持していたなら、アクセス速度の遅い共有メモリからそのブロックを転送するのではなく、キャッシュメモリからブロックを転送し、データ転送のオーバーヘッドを最小限に抑えようとするものがある。

【0004】この時、複数のキャッシュメモリが同じブロックを保持していた場合、どのキャッシュメモリがミスヒットしたキャッシュメモリにブロックを提供するかを決定するために、ブロックの所有者（オーナー）を予め決めておく方法が、例えば、“Cache Coherence Protocols : Evaluation Using a Multiprocessor Simulation Model” James Archibald, 他, acm Transactions on Computer Systems, 1986, November, Vol.4, Number 4, pp273-298 等 に示されているBerkeley方式、Drag on方式のスヌープキャッシュメモリで採用されている。更に、ブロックのオーナーは、ブロック内のデータが書き換えられており、共有メモリと一致しない場合、そのブロックが追い出される時に、共有メモリにブロックを書き戻す責任を持っている。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の制御では、複数のキャッシュメモリで同じブロックを共有している場合、オーナーであるブロックが追い出されると、他のキャッシュメモリでそのブロックにキャッシュミスが起きても、キャッシュメモリ間でデータが転送されず、共有メモリからデータが転送され、データ転送のオーバーヘッドが大きくなってしまふ。また、オーナーであるブロックが追い出される時に、共有メモリに書き戻した場合、その後、同じブロックを保持しているキャッシュメモリで、そのブロック内のデータを書き換えた時には、再び共有メモリへの書き戻しが必要となってしまうといった問題を有していた。

【0006】このような点から、キャッシュメモリにオーナーを設定した場合に、共有メモリへのアクセスをできるだけ抑えることのできるスヌープキャッシュメモリ制御システムの実現が望まれていた。

【0007】

【課題を解決するための手段】本発明は、前述の課題を解決するため次の構成を採用する。

〈請求項1の構成〉各々がキャッシュメモリおよびプロ

4

セッサを有する要素プロセッサと、共有メモリとを共有バスを介して接続し、各キャッシュメモリが共有バス上のトランザクションを監視し、データの一貫性を保証するスヌープキャッシュメモリ制御システムにおいて、自キャッシュメモリが保持するデータを追い出す場合、そのデータが共有メモリのデータと一致しない場合は、共有メモリに書き戻す責任を持ったキャッシュメモリをオーナーとし、各キャッシュメモリは、以前にオーナーであったモジュールとしてのキャッシュメモリまたは共有メモリの番号を格納する前オーナー番号格納部と、自キャッシュメモリが保持するデータを追い出す場合、前オーナー番号格納部を参照し、前オーナー番号格納部がいずれかのキャッシュメモリの番号を示していた場合、そのキャッシュメモリにオーナーを移動するキャッシュ制御部とを備えたことを特徴とするものである。

【0008】〈請求項1の説明〉請求項1の発明では、ブロック転送がキャッシュメモリ間で行われた場合、キャッシュ制御部は、オーナーを転送元のキャッシュメモリから転送先のキャッシュメモリに移動させる。このため、前のオーナーとは、現在のオーナーと同じブロックを持っている可能性の高いキャッシュメモリである。そこで、キャッシュ制御部は、前オーナー番号を、前オーナー番号格納部に保持しておき、自キャッシュメモリが保持するブロックを追い出す場合、共有メモリに書き戻すのではなく、先ず、前オーナー番号のキャッシュメモリに対してオーナーを委譲することを試みる。ここで、前オーナー番号のキャッシュメモリが同じブロックを保持していた場合は、オーナーを移動させ、同じブロックを保持していなかった場合のみ、共有メモリへの書き戻し処理を行う。

【0009】従って、キャッシュミス時に共有メモリへの書き戻しが必要な場合でも、可能な限り、前オーナー番号が示すキャッシュメモリにオーナーを委譲することで、書き戻しの頻度を下げることができる。また、オーナーを委譲することで、オーナーであるブロックがキャッシュメモリに存在する時間が長くなり、キャッシュミス時のブロック転送が共有メモリからではなく、キャッシュメモリから行える確率が増加する。このような点から、キャッシュミス時に時間のかかる共有メモリへのアクセス頻度が減少するので、キャッシュミス時のレスポンスの向上と、共有バスの利用効率が下がることによりスループットの増大を期待することができる。

【0010】〈請求項2の構成〉請求項2の発明は、請求項1記載のスヌープキャッシュメモリ制御システムにおいて、キャッシュ制御部が、キャッシュミス時のブロック転送がいずれかのキャッシュメモリから行われる場合に、転送元のキャッシュメモリ番号を転送先のキャッシュメモリに通知し、このキャッシュメモリ番号を、転送先の前オーナー番号格納部に格納すると共に、オーナーを転送元のキャッシュメモリから転送先のキャッシュメモリに移動させ、一方、キャッシュミス時のブロック転送

5

が、共有メモリから行われる場合は、前オーナ番号格納部に、共有メモリの番号を格納するブロック転送制御部と、共有ブロックに対する書き込みで、他のキャッシュメモリに更新要求を送った時、更新要求先のキャッシュメモリがオーナであった場合、オーナである更新要求先キャッシュメモリの番号を、更新要求元キャッシュメモリに通知し、この番号を、更新要求元キャッシュメモリの前オーナ番号格納部に、前オーナ番号として格納すると共に、オーナを、更新要求先のキャッシュメモリから、更新要求元のキャッシュメモリに移動する更新制御部と、ミスヒットしたブロックのリプレース時に、ブロックが共有ブロックでかつオーナである場合、前オーナ番号格納部の前オーナ番号と、オーナ委譲要求を共有バス上に出力すると共に、共有ブロックでかつオーナであるブロックのオーナ委譲要求にキャッシュヒットし、キャッシュヒットしたモジュール番号が自キャッシュメモリを指していた場合、オーナを自キャッシュメモリに設定し、一方、共有ブロックでかつ書き換えられており、オーナであるブロックのオーナ委譲要求に応答したキャッシュメモリがなかった場合は、共有メモリに書き戻しを行うオーナ委譲制御部とを備えたことを特徴とするものである。

【0011】〈請求項2の説明〉請求項2の発明は、請求項1の発明のキャッシュ制御部が、ブロック転送制御部と、更新制御部と、オーナ委譲制御部とを備えたものである。ブロック転送制御部は、キャッシュミス時のブロック転送処理の制御を行うものである。即ち、ブロック転送がキャッシュメモリ間で行われた場合は、転送元のキャッシュメモリ番号を転送先のキャッシュメモリに通知して、前オーナ番号として、前オーナ番号格納部に格納する。また、オーナを転送元のキャッシュメモリから転送先のキャッシュメモリに移動させる。一方、ブロック転送が共有メモリから行われた場合は、共有メモリの番号を前オーナ番号として格納する。

【0012】更新制御部は、共有ブロックへの書き込みで、他のキャッシュメモリへの更新処理の制御を行うものである。即ち、共有ブロックへの書き込みで、他のキャッシュメモリに更新要求を送った時、更新要求先のキャッシュメモリがオーナであった場合は、その更新要求先のキャッシュメモリの番号を、更新要求元のキャッシュメモリに通知して、この番号を前オーナ番号として前オーナ番号格納部に格納する。また、オーナを更新要求先のキャッシュメモリから更新要求元のキャッシュメモリに移動させる。

【0013】オーナ委譲制御部は、キャッシュメモリ間のオーナ委譲時の制御を行うものである。即ち、ブロックを追い出す時、そのブロックが共有ブロックで、かつ自キャッシュメモリがオーナである場合、前オーナ番号とオーナ委譲要求を共有バス上に出力する。また、共有ブロックでかつオーナであるブロックのオーナ委譲要求

6

にキャッシュヒットし、そのモジュール番号が自キャッシュメモリであった場合は、自らをオーナに設定する。一方、共有バス上にオーナ委譲要求を出力した結果、応答したキャッシュメモリがなかった場合は、共有メモリに書き戻しを行う。

【0014】これにより、他のキャッシュメモリのブロックを更新する場合も、オーナを、ブロック更新を行ったキャッシュメモリとすることができる。

【0015】〈請求項3の構成〉各々がキャッシュメモリおよびプロセッサを有する要素プロセッサと、共有メモリとを共有バスを介して接続し、各キャッシュメモリが共有バス上のトランザクションを監視し、データの一貫性を保証するスヌープキャッシュメモリ制御システムにおいて、自キャッシュメモリが保持するデータを追い出す場合、データが共有メモリのデータと一致しない場合は、共有メモリに書き戻す責任を持ったキャッシュメモリをオーナとし、各キャッシュメモリは、オーナ委譲要求に対しキャッシュヒットしたキャッシュメモリが複数ある場合に、それぞれに優先度を設け、自分より優先度の高いキャッシュメモリがオーナ委譲要求に対しキャッシュヒットしたかどうかを判定する高優先度キャッシュメモリヒット判定部と、ミスヒットしたブロックのリプレース時に、そのブロックが共有ブロックでかつオーナである場合に、オーナ委譲要求を共有バス上に出力すると共に、オーナ委譲要求に対し、キャッシュヒットした場合は、これを全キャッシュメモリに通知し、高優先度キャッシュメモリキャッシュヒット判定部により、自分より優先度の高いキャッシュメモリがキャッシュヒットしなかった時に、オーナを自キャッシュメモリに設定し、一方、書き換えられているブロックのオーナ委譲要求に対し、キャッシュヒットしたキャッシュメモリがなかった場合は、共有メモリに書き戻し処理を行うオーナ委譲制御部とを備えたことを特徴とするものである。

【0016】〈請求項3の説明〉請求項3の発明は、各キャッシュメモリに対してオーナ委譲の優先度を設けたものである。高優先度キャッシュメモリヒット判定部は、オーナ委譲要求に対して、応答した（キャッシュヒットした）キャッシュメモリがあった場合、自分より優先度の高いキャッシュメモリが応答したかを判定する。ここで、優先度の高いキャッシュメモリが応答した場合は何もしない。一方、応答がなかった場合は、自キャッシュメモリをオーナに設定する。また、書き換えられているブロックのオーナ委譲要求を出力した結果、応答するキャッシュメモリがなかった場合は、そのブロックを持つキャッシュメモリがないため、共有メモリに書き戻しを行う。

【0017】従って、ブロックのオーナは、最後までキャッシュメモリ内に存在することができるため、キャッシュミス時のブロック転送は、キャッシュメモリにブロックが存在すれば、必ずキャッシュメモリ間で行われ

る。また、書き換えられたブロックの共有メモリへの書き戻しは、最後のブロックが追い出されるまで遅らせることができる。その結果、キャッシュミス時および書き戻し時の共有メモリへのアクセス頻度が減少するので、キャッシュミス時のレイテンシ減少と、バストラフィックの減少を図ることができる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて詳細に説明する。

【0019】〈具体例1〉

〈構成〉図1は本発明のスヌープキャッシュメモリ制御システム的具体例1を示す構成図であるが、この説明に先立ち、共有バス型マルチプロセッサシステムの構成について説明する。

【0020】図2は、共有バス型マルチプロセッサシステムの構成図である。図のシステムは、共有メモリ50と、複数の要素プロセッサ60〜70を有しており、各要素プロセッサ60〜70、例えば、要素プロセッサ60は、スヌープキャッシュメモリ61とプロセッサ62とを有している。そして、各キャッシュメモリ61〜71が共有バス80を介して共有メモリ50と接続されている。

【0021】共有バス80は、共有メモリ50、スヌープキャッシュメモリ61、71に共通するアドレスを転送する共有アドレスバス線81、データを転送する共有データバス線82、ブロック読み出し要求や更新要求等を転送する共有バスコマンド線83、共有メモリ50へのキャッシュブロックの書き戻しおよび共有メモリからのキャッシュブロックの読み出しの時に使用するタイミング信号の共有メモリアクノリッジ線84、キャッシュミス時のブロック転送の際に、同じブロックを他のスヌープキャッシュメモリ61（71）で共有していることを表すシェアード線85と、その時に、そのブロックのオーナーが存在していることを表すオーナー線86と、そのブロックが書き換えられていることを表すダーティ線88、および、ブロックをキャッシュメモリから転送する時と、共有されているブロックのデータを更新する時に、当該ブロックの前のオーナーのキャッシュメモリの番号を表し、また、キャッシュミス時のリプレース処理でオーナーの委譲要求を行う場合の委譲先のキャッシュメモリの番号を表すオーナー番号線87からなり、図示のように、共有メモリ50と各スヌープキャッシュメモリ61、71との間を接続している。尚、オーナー線86は、キャッシュミス時のリプレース処理で、オーナーの委譲要求があった時の応答、共有されているブロックのデータの更新時にオーナーであるブロックのデータが更新されたことを表すためにも用いられる。

【0022】また、本具体例におけるアドレス構成は次のようになっている。図3は、本具体例におけるアドレス構成の説明図である。図示のように、アドレス構成

は、タグ部41、インデックス部42、ブロックオフセット43から構成されており、共有メモリ50中のブロック格納位置は、タグ部41とインデックス部42で特定され、ブロック中のデータはブロックオフセット43によって特定される。また、キャッシュ中のブロックの格納位置は、インデックス部42によって特定される。

【0023】次に、図1を用いて本具体例のスヌープキャッシュメモリ制御システムを説明する。図のシステムは、プロセッサ62（72）側からのアクセスのためのアドレスを格納するアドレスレジスタ10、共有メモリ50側からのアクセスのためのアドレスを格納する共有アドレスレジスタ11、アドレスレジスタ10の値を共有バス80に出力するためのバッファ12、アドレスレジスタ10または共有アドレスレジスタ11の値と、後述するタグメモリ13aの値とを比較してキャッシュヒットを判定するヒット判定部13、後述するステータスメモリ14、キャッシュメモリ15、キャッシュメモリ15から読み出されたデータあるいはプロセッサ62

（72）からキャッシュメモリ15に書き込むデータを一時的に格納するデータレジスタ16、共有データバス線82上のデータ、キャッシュメモリ15内のデータおよびデータレジスタ16のデータを相互でやりとりするための双方向バッファ17、キャッシュメモリ15の制御を行うキャッシュ制御部18からなり、各々図示のように接続されている。

【0024】また、キャッシュ制御部18には、メモリオペレーションコード線20および共有バスコマンド線83〜ダーティ線88が接続されている。更に、共有データバス線82が双方向バッファ17を介してキャッシュメモリ15およびデータレジスタ16に接続され、共有アドレスバス線81が、アドレスレジスタ10に接続されているバッファ12に接続されると共に、共有アドレスレジスタ11およびヒット判定部13に接続されている。

【0025】ヒット判定部13には、タグメモリ13aと、キャッシュメモリ15のヒット判定回路が含まれている。タグメモリ13aには、キャッシュメモリ15に格納されている各ブロックに対応するアドレスのタグ部41が格納されている。

【0026】ステータスメモリ14は、キャッシュメモリ15内の該当ブロックが有効なものであることを表すバリッドフラグ14a、他のキャッシュが該当ブロックを共有している可能性があることを表すシェアードフラグ14b、該当ブロックの所有者であることを表すオーナーフラグ14c、プロセッサが該当ブロックに書き込みを行ったことを表すダーティフラグ14d、および他のキャッシュメモリからそのブロックが転送された場合等のオーナーが移動した時に、元のオーナーのキャッシュメモリの番号を表す前オーナー番号を格納する前オーナー番号格納部14eからなる。ここで、キャッシュメモリの番号

10

20

30

40

50

は、各キャッシュメモリに1から順に振った番号であり、「0」の場合は共有メモリ50を表す。これらのフラグの判定および値のセットはキャッシュ制御部18によって行われる。

【0027】キャッシュ制御部18は、自キャッシュメモリ15が保持するデータを追い出す場合、前オーナ番号格納部14eを参照し、前オーナ番号格納部14eがいずれかのキャッシュメモリ15の番号を示していた場合、そのキャッシュメモリ15にオーナを移動する機能を有し、ブロック転送制御部18a、更新制御部18

b、オーナ委譲制御部18cとを備えている。
【0028】ブロック転送制御部18aは、キャッシュミス時のブロック転送がいずれかのキャッシュメモリ15から行われる場合に、転送元のキャッシュメモリ番号を転送先のキャッシュメモリ15に通知し、このキャッシュメモリ番号を、転送先の前オーナ番号格納部14eに格納すると共に、オーナを転送元のキャッシュメモリ15から転送先のキャッシュメモリ15に移動させ、一方、キャッシュミス時のブロック転送が、共有メモリ50から行われる場合は、前オーナ番号格納部14eに、共有メモリ50の番号を格納する機能を有する制御部である。

【0029】更新制御部18bは、共有ブロックに対する書き込みで、他のキャッシュメモリ15に更新要求を送った時、更新要求先のキャッシュメモリ15がオーナであった場合、オーナである更新要求先キャッシュメモリ15の番号を、更新要求元キャッシュメモリ15に通知し、この番号を、更新要求元キャッシュメモリ15の前オーナ番号格納部14eに、前オーナ番号として格納すると共に、オーナを、更新要求先のキャッシュメモリ15から、更新要求元のキャッシュメモリ15に移動する機能を有する制御部である。

【0030】オーナ委譲制御部18cは、ミスヒットしたブロックのリプレース時に、そのブロックが共有ブロックでかつオーナである場合、前オーナ番号格納部14eの前オーナ番号と、オーナ委譲要求を共有バス80上に出力すると共に、共有ブロックでかつオーナであるブロックのオーナ委譲要求にキャッシュヒットし、キャッシュヒットしたモジュール番号が自キャッシュメモリ15を指していた場合、オーナを自キャッシュメモリ15に設定し、一方、共有ブロックでかつ書き換えられており、オーナであるブロックのオーナ委譲要求に回答したキャッシュメモリ15がなかった場合は、共有メモリ50に書き戻しを行う機能を有する制御部である。

【0031】プロセッサ62(72)からのデータの読み出しおよび書き込み要求は、メモリオペレーションコード線20を通してキャッシュ制御部18に知らされる。また、共有バス80上の他のキャッシュメモリや共有メモリ50とキャッシュ制御部18とのブロック転送およびデータ更新要求等は共有バスコマンド線83を通

して相互に行われる。

【0032】ヒット判定部13のタグメモリ13a、ステータスメモリ14に対するデータの読み出しおよび書き込み番地は、アドレスレジスタ10または共有アドレスレジスタ11のインデックス部42で指定される。キャッシュメモリ15に対するデータの読み出しおよび書き込み番地はアドレスレジスタ10または共有アドレスレジスタ11のインデックス部42とブロックオフセット43で指定される。

10 【0033】〈動作〉キャッシュメモリ15へのアクセスは、ヒット判定処理から始まる。ヒット判定は、次のようにして行われる。

【0034】プロセッサ62(72)からのメモリオペレーションコード線20あるいは共有バス80からの共有バスコマンド線83により、キャッシュメモリ15に対してアクセス要求があると、アドレスレジスタ10あるいは共有アドレスレジスタ11のインデックス部42で指定されるタグメモリ13aの値と、アドレスレジスタ10あるいは共有アドレスレジスタ11のタグ部41の値をヒット判定部13において比較した結果得られる一致信号と、アドレスレジスタ10あるいは共有アドレスレジスタ11のインデックス部42で指定されるステータスメモリ14のバリッドフラグとをキャッシュ制御部18で調べる。一致信号がアクティブでかつバリッドフラグが「1」であればヒットと判定する。以後、特に断らない限り、プロセッサ62(72)からの要求を処理する場合のアドレスは、アドレスレジスタ10にセットされており、共有バス80からの要求を処理する場合のアドレスは、共有アドレスレジスタ11にセットされているものとする。また、処理に応じてどちらかのレジスタが選択され、キャッシュメモリ15、ステータスメモリ14、ヒット判定部13の各部にアドレスを供給するものとする。

【0035】ヒット判定結果と、プロセッサ62(72)あるいは共有バス80からの要求によって、以降の処理は、(1)プロセッサからの読み出し要求でキャッシュヒットした場合、(2)プロセッサからの読み出し要求でキャッシュミスした場合、(3)プロセッサからの書き込み要求でキャッシュヒットした場合、(4)プロセッサからの書き込み要求でキャッシュミスした場合、(5)共有バス80からのブロック転送要求でキャッシュヒットした場合、(6)共有バス80からのオーナ委譲要求でキャッシュヒットし、オーナ番号線87が自キャッシュメモリを指していた場合、(7)共有バス80からの一貫性保持要求でキャッシュヒットした場合の七つに分かれる。

【0036】上記の一貫性保持方式には、他のキャッシュメモリの該当ブロックを無効化する無効化方式と、他のキャッシュメモリの該当データを更新する更新方式の二つがあり、本発明ではどちらの方式にも適用可能であ

るので、例として更新方式の場合を説明する。尚、共有バス80からの要求でキャッシュミスした場合、本システムでは何もしない。上記七つの場合について以下に説明する。

【0037】(1) プロセッサからの読み出し要求でキャッシュヒットした場合

キャッシュ制御部18は、アドレスレジスタ10で指定されたキャッシュメモリ15を読み出し、データレジスタ16にセットする。

【0038】(2) プロセッサからの読み出し要求でキャッシュミスした場合 10

ここでのキャッシュ制御部18の処理は、以下の二つの部分に分けられる。

- ・ブロックのリプレース処理
- ・データの読み出し処理

これらのそれぞれについて次に説明する。

【0039】図4は、プロセッサからの読み出し要求でキャッシュミスした場合のフローチャートである。

(a) ブロックのリプレース処理

リプレースの対象となったブロックのシェアードフラグが「0」で、ダーティフラグが「1」の場合、唯一の書き換えられたデータであることを示しているため、共有メモリ50への書き戻しが必要となる(ステップS1～S2～S3)。

【0040】図5は、共有メモリ50への書き戻し処理のフローチャートである。まず、共有バス80へのバス権を得た後(ステップS301)、アドレスレジスタ10のインデックス部42とブロックオフセット43の値と、インデックス部42で読み出されるヒット判定部13のタグメモリ13aの値とを共有アドレスバス線81 30に出力する(ステップS302)と共に、インデックス部42とブロックオフセット43で読み出されるキャッシュメモリ15の値を共有データバス線82に出力し

(ステップS303)、共有バスコマンド線83に書き戻し要求を出力する(ステップS304)。次に、共有メモリアクノリッジ線84がアクティブになったら(ステップS305)、アドレスレジスタ10のブロックオフセット43をインクリメントし(ステップS306)、キャッシュメモリ15から読み出した値を共有データバス線82に出力する(ステップS307)。そして、1ブロック分のデータを共有データバス線82に出力したかを判定する(ステップS308)。この動作を繰り返すことにより1ブロック分のデータを共有メモリ50に書き戻す。ただし、ブロックオフセット43のインクリメントはラップアラウンドを行う。

【0041】図4に戻って、リプレースの対象となったブロックのシェアードフラグが「1」で、ダーティフラグが「1」の場合(ステップS1～ステップS4)、ステータスメモリ14の前オーナ番号が示すキャッシュメモリで同じデータを保持している可能性がある。この場 50

合、キャッシュ制御部18におけるオーナ委譲制御部18cは、共有メモリ50へブロックを書き戻すのではなく、前オーナ番号が示すキャッシュメモリにオーナを委譲することを試みる(オーナの委譲処理1:ステップS5)。もし、前オーナ番号が示すキャッシュメモリで、そのブロックを保持していないならば、通常の共有メモリ50への書き戻し処理を行う。

【0042】図6はオーナの委譲処理1のフローチャートである。まず、アドレスレジスタ10のインデックス42とブロックオフセット43の値と、インデックス部42で読み出されるヒット判定部13のタグメモリ13aの値とを共有アドレスバス線81に出力する(ステップS501)。また、インデックス部42とブロックオフセット43で読み出されるキャッシュメモリの値を共有データバス線82に出力し(ステップS502)、更に、そのブロックのステータスメモリ14における前オーナ番号の値をオーナ番号線87に出力し(ステップS503)、ダーティ線88をアクティブにし(ステップS504)、共有バスコマンド線83にオーナ委譲要求を出力する(ステップS505)。

【0043】ステップS506において、オーナ線86がアクティブになったら、前オーナ番号が示すキャッシュメモリに当該ブロックが存在することを示すので、オーナ委譲処理を完了する。共有メモリ50では、オーナ委譲要求に対して書き戻し処理と同じ処理を開始するが、オーナ線86がアクティブになると書き戻し処理を中止する。

【0044】一方、ステップS506において、オーナ線86がアクティブにならない場合は、前オーナ番号が示すキャッシュメモリに当該ブロックが存在しないことを示すので、上述した共有メモリ50への書き戻し処理を行う(ステップS507～S510)。

【0045】再び図4に戻って、リプレースの対象となったブロックのシェアードフラグが「1」、ダーティフラグが「0」、オーナフラグが「0」の場合は、共有メモリ50と値が同じであるか、あるいは同じブロックを持つ他のキャッシュメモリが共有メモリ50に書き戻す責任を持つことを表しているため、書き戻し処理は行わない(ステップS1～ステップS4～ステップS6)。一方、ステップS6において、オーナフラグが「1」の場合には、オーナ委譲制御部18cが、オーナ委譲処理2を行う(ステップS7)。

【0046】図7はオーナの委譲処理2のフローチャートである。この委譲処理は、アドレスレジスタ10のインデックス42とブロックオフセット43で読み出されるヒット判定部13のタグメモリ13aの値とを共有アドレスバス線81に出力し(ステップS701)、次に、当該ブロックのステータスメモリ14の前オーナ番号の値をオーナ番号線87に出力し(ステップS702)、更に、共有バスコマンド線83にオーナ委譲要求

を出力する(ステップS703)。共有メモリ50では、ダーティ線88を監視することにより、当該ブロックのダーティフラグが「1」の場合のオーナ委譲要求と区別し、書き戻し要求と同じ処理は開始しない。

【0047】図4に戻って、リプレースの対象となったブロックのシェアードフラグが「0」で、ダーティフラグが「0」の場合、ブロックは書き換えられておらず、このブロックを持つ他のキャッシュが存在しないことを示しているため、書き戻し処理およびオーナ委譲処理は行わない。そして、書き戻し処理あるいはオーナ委譲処理が終了したら、キャッシュ制御部18におけるブロック転送制御部18aは、ミスヒットしたブロックの転送処理を行う(ステップS8)。

【0048】図8、図9は、ミスヒットしたブロックの転送処理のフローチャートである。アドレスレジスタ10の値を共有アドレスバス線81に出力し(ステップS801)、共有バスコマンド線83にブロック転送要求を出力する(ステップS802)。オーナ線86が共有メモリアクノリッジ線84がアクティブになったら共有データバス線82の値をキャッシュメモリに書き込む(ステップS803～ステップS810)。

【0049】図10は、ブロックの書き込み処理のフローチャートである。即ち、ブロックの書き込み処理は、共有データバス線82のデータをキャッシュメモリに書き込み、1サイクル毎にブロックオフセットをインクリメントして、1ブロック分のデータを書き込む(ステップS80a～ステップS80c)。

【0050】図8、図9に戻り、最後のデータを書き込む時に、アドレスレジスタ10のインデックス部42で示されるタグメモリ13aにタグ部41を書き込む(ステップS811、S812、S813、S814)と共に、アドレスレジスタ10のインデックス部42で示されるステータスメモリ14にステータスを書き込む(ステップS815、S816、S817、S818)。

【0051】ステータスの値は、オーナ線86がアクティブ、ダーティ線88がアクティブであった場合は、ブロックの転送元が他のキャッシュメモリで、かつ、そのブロックが書き換えられていることを示すので、バリットフラグを「1」、シェアードフラグを「1」、オーナフラグを「1」、ダーティフラグを「1」、前オーナ番号をオーナ番号線87が示す値に設定し(ステップS815)、オーナを移動する。この時、ダーティ線88がアクティブでなければ、そのブロックは書き換えられていないことを示すので、ダーティフラグは「0」に設定する(ステップS805～S808～S812～S816)。

【0052】ステップS804において、共有メモリアクノリッジ線84がアクティブで、シェアード線85がアクティブであった場合は、ブロックの転送元が共有メモリ50で、かつ、そのブロックを保持しているキャッ

シュメモリが他にも存在することを示すので、バリットフラグを「1」、オーナフラグを「1」、ダーティフラグを「0」、前オーナ番号を共有メモリ50を示す値

「0」に設定する(ステップS804～S806～S809～S813～S817)。

【0053】一方、共有メモリアクノリッジ線84がアクティブで、シェアード線85がインアクティブであった場合は、ブロックの転送元が共有メモリ50で、そのブロックを保持しているキャッシュメモリが存在しないことを示しているため、バリットフラグを「1」、シェアードフラグを「0」、オーナフラグを「1」、ダーティフラグを「0」、前オーナ番号を「0」に設定する(ステップS804～S806～S810～S814～S818)。

【0054】(b)データの読み出し処理

図11は、データの読み出し処理(図4におけるステップS9)のフローチャートである。データの読み出し処理は、アドレスレジスタ10で指定されたキャッシュメモリ15のデータを読み出し、データレジスタ16にセットするものである。

【0055】(3)プロセッサからの書き込み要求でキャッシュヒットした場合

図12は、プロセッサからの書き込み要求でキャッシュヒットした場合のフローチャートである。ステップS1において、当該ブロックのシェアードフラグが「0」の場合、ローカルにデータの書き込み処理を行う。まず、アドレスレジスタ10で指定されるキャッシュメモリにデータレジスタ16の値を書き込む(ステップS2)と同時に、アドレスレジスタ10で指定されるステータスメモリ14のオーナフラグを「1」、ダーティフラグを「1」に設定する(ステップS3)。

【0056】一方、ステップS1において、シェアードフラグが「1」の場合、キャッシュ制御部18における更新制御部18bは、同じブロックを持つ他のキャッシュメモリに更新要求を出す。この処理は次のようになる。まず、共有バス80のバス権を獲得後(ステップS4)、アドレスレジスタ10の値を共有アドレスバス線81に出力し(ステップS5)、共有バスコマンド線83に更新要求を出力し(ステップS6)、次サイクルでデータレジスタ16の値を共有データバス線82に出力して(ステップS7)、上述した書き込み処理を行う(ステップS8～ステップS15)。

【0057】但し、ステータスメモリ14へ書き込むステータスの内容は、シェアード線85がアクティブ、オーナ線86がアクティブの時は、他のキャッシュメモリがそのブロックのオーナであることを示しているため、シェアードフラグを「1」、オーナフラグを「1」、ダーティフラグを「1」、前オーナ番号をオーナ番号線87が示す値に設定し、オーナを移動する(ステップS8～S9～S11～S14)。

10

20

30

40

50

【0058】シェアド線85がアクティブ、オーナ線86がインアクティブの時は、そのブロックを保持する他のキャッシュメモリはオーナでないことを示している、シェアドフラグを「1」、オーナフラグを「1」、ダーティフラグを「1」、前オーナ番号はそのままに設定する（ステップS8～S9～S12～S15）。

【0059】シェアド線85がインアクティブの時は、そのブロックを保持するキャッシュメモリがないことを示している、シェアドフラグを「0」、オーナフラグを「1」、ダーティフラグを「1」、前オーナ番号を「0」に設定する（ステップS8～S10～S13）。

【0060】（4）プロセッサからの書き込み要求でキャッシュミスした場合

この場合は、上述したプロセッサからの読み出し要求でキャッシュミスした場合のブロックのリプレース処理と同じ処理を行った後、書き込み要求でキャッシュヒットした場合と同じ処理を行う。

【0061】（5）共有バス80からのブロック転送要求でキャッシュヒットした場合

図13は、共有バス80からのブロック転送要求でキャッシュヒットした場合のフローチャートである。

【0062】ステップS1において、共有アドレスレジスタ11で示されるステータスメモリ14のオーナフラグが「1」の場合、ブロック転送の転送元となる。ブロック転送制御部18aは、先ず、オーナ線86およびシェアド線85をアクティブにし（ステップS2）、自キャッシュメモリの番号をオーナ番号線87に出力する（ステップS5）と共に、共有アドレスレジスタ11で読み出されるキャッシュメモリの値を共有データバス線82に出力する（ステップS6）。この時、ダーティフラグが「1」の場合は、ダーティ線88もアクティブにする（ステップS3、S4）。更に、1サイクル毎にブロックオフセット43をインクリメントして、1ブロック分のデータを出力する（ステップS7、S8）。最後のデータを出力する時に、共有アドレスレジスタ11で示されるステータスメモリ14のシェアドフラグを「1」、オーナフラグを「0」、ダーティフラグを「0」に設定し（ステップS9）、オーナを転送要求元キャッシュメモリに移動する。

【0063】一方、オーナフラグが「0」の場合には、シェアド線85をアクティブにし、転送要求元キャッシュメモリにそのブロックを保持していることを知らせるのみで、ブロック転送は行わない（ステップS10）。

【0064】（6）共有バス80からのオーナ委譲要求でキャッシュヒットし、オーナ番号が自キャッシュメモリを指していた場合

【0065】図14は、この場合のフローチャートであ

る。オーナ委譲制御部18cは、先ず、オーナ線86をアクティブにし（ステップS1）、共有アドレスレジスタ11で示されるステータスメモリ14のオーナフラグを「1」に設定し（ステップS2）、自らがそのブロックのオーナになる。また、ダーティ線88がアクティブの場合にはダーティフラグも「1」に設定する（ステップS3、S4）

【0066】（7）共有バス80からの更新要求でキャッシュヒットした場合

図15は、この場合のフローチャートである。更新制御部18bは、先ず、シェアド線85をアクティブにする（ステップS1）。更に、共有アドレスレジスタ11で示されるステータスメモリ14のオーナフラグが

「1」の場合は、オーナ線86もアクティブにし（ステップS2、S3）、オーナ番号線87に自キャッシュメモリの番号を出力する（ステップS4）。そして、共有データバス線82の値を共有アドレスレジスタ11で示されるキャッシュメモリに書き込み（ステップS5）、ステータスメモリ14のオーナフラグを「0」、ダーティフラグを「0」に設定する。また、ステップS2において、オーナフラグが「0」の場合はステップS5に移行する。

【0067】〈効果〉以上説明したように具体例1によれば、ステータスメモリ14に、以前にオーナであったキャッシュメモリの番号を格納するための前オーナ番号格納部14eを設け、キャッシュミス時のキャッシュメモリ間ブロック転送や、共有ブロックのデータに対する更新のように、オーナが移動する場合に、共有バス80上のオーナ番号線87を用いて前のオーナのキャッシュメモリ番号を格納するようにし、キャッシュミス時に共有メモリ50への書き戻しが必要な場合でも、可能な限り前オーナ番号が示すキャッシュメモリ15にオーナを委譲することで書き戻しの頻度を下げることができる。

【0068】また、オーナを委譲することで、オーナであるブロックがキャッシュメモリ15に存在する時間が長くなり、キャッシュミス時のブロック転送が共有メモリ50からでなく、キャッシュメモリ15から行える確率が増加する。即ち、キャッシュミス時、アクセスに時間のかかる共有メモリ50へのアクセス頻度が減少するので、キャッシュミス時のレスポンスの向上と、共有バス80の利用率が下がることによりスループットの増大を図ることができる。

【0069】〈具体例2〉具体例2によるスヌープキャッシュメモリ制御システムは、オーナ委譲を行う場合のキャッシュメモリ間に優先度を設けたものである。

【0070】〈構成〉図16は、具体例2のスヌープキャッシュメモリ制御システムにかかわる共有バス型マルチプロセッサシステムの構成図である。

【0071】図のシステムは、具体例1と同様に、共有メモリ50と、複数の要素プロセッサ60～70を有し

10

20

30

40

50

ており、各要素プロセッサ60～70、例えば、要素プロセッサ60は、スヌープキャッシュメモリ61とプロセッサ62とを有している。そして、各キャッシュメモリ61～71が共有バス80を介して共有メモリ50と接続されている。

【0072】共有バス80は、共有メモリ50、スヌープキャッシュメモリ61、71に共通するアドレスを転送する共有アドレスバス線81、データを転送する共有データバス線82、ブロック読み出し要求や更新要求等を転送する共有バスコマンド線83、共有メモリ50へのキャッシュブロックの書き戻しおよび共有メモリからのキャッシュブロックの読み出しの時に使用するタイミング信号の共有メモリアクノリッジ線84、キャッシュミス時のブロック転送要求、キャッシュミス時のリプレース処理でのオーナの委譲要求、および共有ブロックに対するデータ更新要求に対し、当該ブロックを他のキャッシュメモリ15で保持していることを表すシェアード線89と、キャッシュミス時に他のキャッシュメモリ15からブロックを転送する際に、そのブロックが書き換えられていることを表すダーティ線88からなり、図示のように、共有メモリ50と各スヌープキャッシュメモリ61、71との間を接続している。

【0073】また、シェアード線89は要素プロセッサ60、70の数と同数用意し、要素プロセッサ60、70からの出力は、それぞれ対応するシェアード線89に接続される。そして、要素プロセッサ60、70のスヌープキャッシュメモリ61、71では、全シェアード線89のORをとった値と、要素プロセッサ60、70に順に優先度を設定し、自分より優先度の高い要素プロセッサ60、70に対応するシェアード線89のORを取った値が用いられる。

【0074】尚、本具体例におけるアドレス構成は図3で説明した具体例1の構成と同様であるため、ここでの説明は省略する。

【0075】次に、具体例2のスヌープキャッシュメモリ制御システムを説明する。図17は、具体例2のスヌープキャッシュメモリ制御システムの構成図である。図のシステムは、アドレスレジスタ10、共有アドレスレジスタ11、バッファ12、ヒット判定部13、ステータスメモリ14、キャッシュメモリ15、データレジスタ16、双方向バッファ17、キャッシュ制御部21からなる。ここで、ステータスメモリ14は、バリッドフラグ14a、シェアードフラグ14b、オーナフラグ14c、ダーティフラグ14dを備えており、これらのフラグは、具体例1と同様である。また、アドレスレジスタ10～ヒット判定部13、キャッシュメモリ15～双方向バッファ17の各構成は具体例1と同様であるため、ここでの説明は省略する。

【0076】キャッシュ制御部21には、メモリオペレーションコード線20および共有バスコマンド線83～

シェアード線89が接続されている。更に、共有データバス線82が双方向バッファ17を介してキャッシュメモリ15およびデータレジスタ16に接続され、共有アドレスバス線81が、アドレスレジスタ10に接続されているバッファ12に接続されると共に、共有アドレスレジスタ11およびヒット判定部13に接続されている。

【0077】キャッシュ制御部21は、高優先度キャッシュメモリヒット判定部21aと、オーナ委譲制御部21bとを備えている。高優先度キャッシュメモリヒット判定部21aは、オーナ委譲要求に対し、キャッシュヒットしたキャッシュメモリ15が複数ある場合に、それぞれに優先度を設け、自分より優先度の高いキャッシュメモリ15がオーナ委譲要求に対しキャッシュヒットしたかどうかを判定する機能を有している。

【0078】尚、キャッシュメモリ15の優先度は、複数のキャッシュメモリ15に対してその数だけ番号を付与し、自分より番号の大きいものを高優先度とするといったように決定する。例えば、1番のキャッシュメモリ15の高優先度キャッシュメモリヒット判定部21aは、2番以上のキャッシュメモリ15のシェアード線89のOR、2番のキャッシュメモリ15の高優先度キャッシュメモリヒット判定部21aは、3番以上のキャッシュメモリ15のシェアード線89のORといったように、自分より優先度の高いキャッシュメモリ15がキャッシュヒットしたかを判定する。尚、優先度の設定はこれに限定されるものではなく、これ以外にも適宜設定が可能である。

【0079】オーナ委譲制御部21bは、ミスヒットしたブロックのリプレース時に、そのブロックが共有ブロックでかつオーナである場合に、オーナ委譲要求を共有バス80上に出力すると共に、オーナ委譲要求に対し、キャッシュヒットした場合は、これを全キャッシュメモリ15に通知し、高優先度キャッシュメモリヒット判定部21aにより、自分より優先度の高いキャッシュメモリ15がキャッシュヒットしなかった時に、オーナを自キャッシュメモリ15に設定し、一方、書き換えられているブロックのオーナ委譲要求に対し、キャッシュヒットしたキャッシュメモリ15がなかった場合は、共有メモリ50に書き戻し処理を行う機能を有している。

【0080】プロセッサ62(72)からのデータの読み出しおよび書き込み要求は、メモリオペレーションコード線20を通してキャッシュ制御部21に知らされる。また、共有バス80上の他のキャッシュメモリ15や共有メモリ50とキャッシュ制御部21とのブロック転送およびデータ更新要求等は共有バスコマンド線83を通して相互に行われる。

【0081】ヒット判定部13のタグメモリ13a、ステータスメモリ14に対するデータの読み出しおよび書き込み番地は、アドレスレジスタ10または共有アドレ

10

20

30

40

50

レジスタ11のインデックス部42で指定される。キャッシュメモリ15に対するデータの読み出しおよび書き込み番地はアドレスレジスタ10または共有アドレスレジスタ11のインデックス部42とブロックオフセット43で指定される。

【0082】〈動作〉具体例2においても、キャッシュメモリへのアクセスは、ヒット判定処理から始まり、このヒット判定結果と、プロセッサ62(72)あるいは共有バス80からの要求によって、以降の処理は、

(1) プロセッサからの読み出し要求でキャッシュヒットした場合、(2) プロセッサからの読み出し要求でキャッシュミスした場合、(3) プロセッサからの書き込み要求でキャッシュヒットした場合、(4) プロセッサからの書き込み要求でキャッシュミスした場合、(5) 共有バス80からのブロック転送要求でキャッシュヒットした場合、(6) 共有バス80からのオーナ委譲要求でキャッシュヒットした場合、(7) 共有バス80からの更新要求でキャッシュヒットした場合の七つに分かれる。尚、共有バス80からの要求でキャッシュミスした場合、本システムでは何もしない。上記七つの場合について以下に説明する。

【0083】(1) プロセッサからの読み出し要求でキャッシュヒットした場合

アドレスレジスタ10で指定されたキャッシュメモリ15を読み出し、データレジスタ16にセットする。

【0084】(2) プロセッサからの読み出し要求でキャッシュミスした場合

ここでの処理は、以下の二つの部分に分けられる。

・ブロックのリプレース処理

・データの読み出し処理

これらのそれぞれについて次に説明する。

【0085】具体例2において、プロセッサからの読み出し要求でキャッシュミスした場合のフローチャートは、図4に示すフローチャートと図面上の処理は同一であるため、この図4を援用して説明する。

【0086】(a) ブロックのリプレース処理

リプレースの対象となったブロックのシェアードフラグが「0」で、ダーティフラグが「1」の場合、唯一の書き換えられたデータであることを示しているため、共有メモリ50への書き戻しが必要となる(ステップS1～S2～S3)。この書き戻し処理は、図5に示した処理と同様であるため、ここでの説明は省略する。

【0087】図4に戻って、リプレースの対象となったブロックのシェアードフラグが「1」で、ダーティフラグが「1」の場合(ステップS1～ステップS4)、他のキャッシュメモリで同じデータを保持している可能性がある。この場合、キャッシュ制御部21におけるオーナ委譲制御部21bは、共有メモリ50へブロックを書き戻すのではなく、他のキャッシュメモリにオーナを委譲することを試みる(オーナの委譲処理1:ステップS

5)。もし、他のキャッシュメモリで、そのブロックを保持していないならば、通常の共有メモリ50への書き戻し処理を行う。

【0088】図18は、具体例2のオーナの委譲処理1のフローチャートである。先ず、アドレスレジスタ10のインデックス部42とブロックオフセット43の値と、インデックス部42で読み出されるヒット判定部13のタグメモリ13aの値とを共有アドレスバス線81に出力する(ステップS501)。また、インデックス部42とブロックオフセット43で読み出されるキャッシュメモリの値を共有データバス線82に出力し(ステップS502)、更に、ダーティ線88をアクティブにし(ステップS503)、共有バスコマンド線83にオーナ委譲要求を出力する(ステップS504)。

【0089】ステップS505において、シェアード線89がアクティブになったら、他のキャッシュメモリに当該ブロックが存在することを示すので、オーナ委譲処理を完了する。共有メモリ50では、オーナ委譲要求に対して書き戻し処理と同じ処理を開始するが、シェアード線89がアクティブになると書き戻し処理を中止する。

【0090】一方、ステップS505において、シェアード線89がアクティブにならない場合は、他のキャッシュメモリに当該ブロックが存在しないことを示すので、上述した共有メモリ50への書き戻し処理を行う(ステップS506～S509)。

【0091】再び図4に戻って、リプレースの対象となったブロックのシェアードフラグが「1」、ダーティフラグが「0」、オーナフラグが「0」の場合は、共有メモリ50と値が同じであるか、あるいは同じブロックを持つ他のキャッシュメモリが共有メモリ50に書き戻す責任を持つことを表しているため、書き戻し処理は行わない(ステップS1～ステップS4～ステップS6)。一方、ステップS6において、オーナフラグが「1」の場合には、オーナ委譲制御部21bがオーナ委譲処理2を行う(ステップS7)。

【0092】図19はオーナの委譲処理2のフローチャートである。この委譲処理は、アドレスレジスタ10のインデックス部42とブロックオフセット43で読み出されるヒット判定部13のタグメモリ13aの値とを共有アドレスバス線81に出力し(ステップS701)、次に、共有バスコマンド線83にオーナ委譲要求を出力する(ステップS702)。共有メモリ50では、ダーティ線88を監視することにより、当該ブロックのダーティフラグが「1」の場合のオーナ委譲要求と区別し、書き戻し要求と同じ処理は開始しない。

【0093】図4に戻って、書き戻し処理あるいはオーナ委譲処理が終了したら、ミスヒットしたブロックの転送処理を行う(ステップS8)。

【0094】図20、図21は、ミスヒットしたブロッ

10

20

30

40

50

クの転送処理のフローチャートである。アドレスレジスタ10の値を共有アドレスバス線81に出力し(ステップS801)、共有バスコマンド線83にブロック転送要求を出力する(ステップS802)。シェアード線89が共有メモリアクノリッジ線84がアクティブになったら共有データバス線82の値をキャッシュメモリに書き込む(ステップS803～ステップS808)。ここで、ブロックの書き込み処理は図10のフローチャートと同様であるため、ここでの説明は省略する。

【0095】図20、図21に戻り、最後のデータを書き込む時に、アドレスレジスタ10のインデックス部42で示されるタグメモリ13aにタグ部41を書き込む(ステップS809、S810、S811)と共に、アドレスレジスタ10のインデックス部42で示されるステータスメモリ14にステータスを書き込む(ステップS812、S813、S814)。

【0096】ステータスの値は、シェアード線89がアクティブ、ダーティ線88がアクティブであった場合は、ブロックの転送元が他のキャッシュメモリで、かつ、そのブロックが書き換えられていることを示すので、バリッドフラグを「1」、シェアードフラグを「1」、オーナフラグを「1」、ダーティフラグを「1」に設定し(ステップS812)、オーナを移動する。この時、ダーティ線88がアクティブでなければ、そのブロックは書き換えられていないことを示すので、ダーティフラグは「0」に設定する(ステップS805～S807～S810～S813)。

【0097】ステップS804において、共有メモリアクノリッジ線84がアクティブであった場合は、ブロックの転送元が共有メモリ50で、かつ、そのブロックを保持しているキャッシュメモリが他にも存在しないことを示しているので、バリッドフラグを「1」、シェアードフラグを「0」、オーナフラグを「1」、ダーティフラグを「0」に設定する(ステップS804～S808～S811～S814)。

【0098】(b)データの読み出し処理
データの読み出し処理は、図11のフローチャートと同様であるため、その説明は省略する。

【0099】(3)プロセッサからの書き込み要求でキャッシュヒットした場合

図22は、プロセッサからの書き込み要求でキャッシュヒットした場合のフローチャートである。

【0100】ステップS1において、当該ブロックのシェアードフラグが「0」の場合、ローカルにデータの書き込み処理を行う。まず、アドレスレジスタ10で指定されるキャッシュメモリにデータレジスタ16の値を書き込む(ステップS2)と同時に、アドレスレジスタ10で指定されるステータスメモリ14のオーナフラグを「1」、ダーティフラグを「1」に設定する(ステップS3)。

【0101】一方、ステップS1において、シェアードフラグが「1」の場合、同じブロックを持つ他のキャッシュメモリに更新要求を出す。この処理は次のようになる。まず、共有バス80のバス権を獲得後(ステップS4)、アドレスレジスタ10の値を共有アドレスバス線81に出力し(ステップS5)、共有バスコマンド線83に更新要求を出力し(ステップS6)、次サイクルでデータレジスタ16の値を共有データバス線82に出力して(ステップS7)、上述した書き込み処理を行う(ステップS8～ステップS12)。

【0102】但し、ステータスメモリ14へ書き込むステータスの内容は、シェアード線89がアクティブの時は、他のキャッシュメモリでそのブロックを保持していることを示しているため、シェアードフラグを「1」、オーナフラグを「1」、ダーティフラグを「1」に設定する(ステップS8～S10～S12)。

【0103】シェアード線89がインアクティブの時は、そのブロックを保持するキャッシュメモリが存在しないことを示しているため、シェアードフラグを「0」、オーナフラグを「1」、ダーティフラグを「1」に設定する(ステップS8～S9～S11)。

【0104】(4)プロセッサからの書き込み要求でキャッシュミスした場合

この場合は、上述したプロセッサからの読み出し要求でキャッシュミスした場合のブロックのリプレース処理と同じ処理を行った後、書き込み要求でキャッシュヒットした場合と同じ処理を行う。

【0105】(5)共有バス80からのブロック転送要求でキャッシュヒットした場合

図23は、共有バス80からのブロック転送要求でキャッシュヒットした場合のフローチャートである。

【0106】ステップS1において、共有アドレスレジスタ11で示されるステータスメモリ14のオーナフラグが「1」の場合、ブロック転送の転送元となる。まず、シェアード線89をアクティブにし(ステップS2)、共有アドレスレジスタ11で読み出されるキャッシュメモリの値を共有データバス線82に出力する(ステップS6)。この時、ダーティフラグが「1」の場合は、ダーティ線88もアクティブにする(ステップS3、S4)。更に、1サイクル毎にブロックオフセット43をインクリメントして、1ブロック分のデータを出力する(ステップS6、S7)。最後のデータを出力する時に、共有アドレスレジスタ11で示されるステータスメモリ14のシェアードフラグを「1」、オーナフラグを「0」、ダーティフラグを「0」に設定し(ステップS8)、オーナを転送要求元キャッシュメモリに移動する。

【0107】一方、オーナフラグが「0」の場合には、シェアード線89をアクティブにし、転送要求元キャッシュメモリにそのブロックを保持していることを知らせ

るのみで、ブロック転送は行わない（ステップ S 9）。

【0108】（6）共有バス 80 からのオーナ委譲要求でキャッシュヒットした場合

図 24 は、この場合のフローチャートである。オーナ委譲制御部 21b は、まず、シェアード線 89 をアクティブにする（ステップ S 1）。更に、高優先度キャッシュメモリヒット判定部 21a は、自分より優先度の高いキャッシュメモリのシェアード線 89 がアクティブであるか否かを判定し（ステップ S 2）、アクティブでなければ、オーナ委譲制御部 21b は、共有アドレスレジスタ 11 で示されるステータスメモリ 14 のオーナフラグを「1」に設定し（ステップ S 2、S 3）、自らがそのブロックのオーナとなる。また、ダーティ線 88 がアクティブの場合にはダーティフラグも「1」に設定する（ステップ S 4、S 5）

【0109】（7）共有バス 80 からの更新要求でキャッシュヒットした場合

図 25 は、この場合のフローチャートである。この場合の処理は、シェアード線 89 をアクティブにし（ステップ S 1）、共有データバス線 82 の値を共有アドレスレジスタ 11 で示されるキャッシュメモリに書き込み（ステップ S 2）、ステータスメモリ 14 のオーナフラグを「0」、ダーティフラグを「0」に設定する。

【0110】〈効果〉以上説明したように、具体例 2 によれば、キャッシュミス時にブロックの共有メモリ 50 への書き戻しが必要な場合に、他に同じブロックを持つキャッシュメモリ 15 が存在すれば、オーナを他のキャッシュメモリ 15 に委譲すると共に、オーナを委譲するキャッシュメモリ 15 が複数ある場合でも、キャッシュメモリ 15 それぞれに優先度を設け、自分より高い優先度を持つキャッシュメモリ 15 が応答しなかった場合に、自キャッシュメモリ 15 がオーナとなるようにしたので、ブロックのオーナは、最後までキャッシュメモリ 15 内に存在することができ、従って、キャッシュミス時のブロック転送は、キャッシュメモリ 15 にブロックが存在すれば必ずキャッシュメモリ 15 間で行われる。また、書き換えられたブロックの共有メモリ 50 への書き戻しは、最後のブロックが追い出されるまで遅らせることができる。その結果、キャッシュミス時および書き戻し時の共有メモリ 50 へのアクセス頻度が減少するので、キャッシュミス時のレイテンシ減少と、バストラフィックの減少を図ることができる。

【0111】尚、上記各具体例では、スヌープキャッシュメモリ制御システムを共有バス型マルチプロセッサシステムに適用した例を説明したが、これ以外にも、例えば分散ファイルシステムのキャッシングにも適用可能である。

【図面の簡単な説明】

【図 1】本発明のスヌープキャッシュメモリ制御システムの具体例 1 を示す構成図である。

【図 2】本発明のスヌープキャッシュメモリ制御システムの具体例 1 を適用した共有バス型マルチプロセッサシステムの構成図である。

【図 3】本発明のスヌープキャッシュメモリ制御システムのアドレス構成の説明図である。

【図 4】本発明のスヌープキャッシュメモリ制御システムの具体例 1 のプロセッサからの読み出し要求でキャッシュミスした場合のフローチャートである。

【図 5】本発明のスヌープキャッシュメモリ制御システムの具体例 1 の共有メモリへの書き戻し処理のフローチャートである。

【図 6】本発明のスヌープキャッシュメモリ制御システムの具体例 1 のオーナの委譲処理 1 のフローチャートである。

【図 7】本発明のスヌープキャッシュメモリ制御システムの具体例 1 のオーナの委譲処理 2 のフローチャートである。

【図 8】本発明のスヌープキャッシュメモリ制御システムの具体例 1 のミスヒットしたブロックの転送処理のフローチャート（その 1）である。

【図 9】本発明のスヌープキャッシュメモリ制御システムの具体例 1 のミスヒットしたブロックの転送処理のフローチャート（その 2）である。

【図 10】本発明のスヌープキャッシュメモリ制御システムの具体例 1 のブロックの書き込み処理のフローチャートである。

【図 11】本発明のスヌープキャッシュメモリ制御システムの具体例 1 のデータの読み出し処理のフローチャートである。

【図 12】本発明のスヌープキャッシュメモリ制御システムの具体例 1 のプロセッサからの書き込み要求でキャッシュヒットした場合のフローチャートである。

【図 13】本発明のスヌープキャッシュメモリ制御システムの具体例 1 の共有バスからのブロック転送要求でキャッシュヒットした場合のフローチャートである。

【図 14】本発明のスヌープキャッシュメモリ制御システムの具体例 1 の共有バスからのオーナ委譲要求でキャッシュヒットし、オーナ番号が自キャッシュメモリを指していた場合のフローチャートである。

【図 15】本発明のスヌープキャッシュメモリ制御システムの具体例 1 の共有バスからの更新要求でキャッシュヒットした場合のフローチャートである。

【図 16】本発明のスヌープキャッシュメモリ制御システムの具体例 2 を適用した共有バス型マルチプロセッサシステムの構成図である

【図 17】本発明のスヌープキャッシュメモリ制御システムの具体例 2 の構成図である。

【図 18】本発明のスヌープキャッシュメモリ制御システムの具体例 2 のオーナの委譲処理 1 のフローチャートである。

25

【図19】本発明のスヌープキャッシュメモリ制御システムの具体例2のオーナーの委譲処理2のフローチャートである。

【図20】本発明のスヌープキャッシュメモリ制御システムの具体例2のミスヒットしたブロックの転送処理のフローチャート（その1）である。

【図21】本発明のスヌープキャッシュメモリ制御システムの具体例2のミスヒットしたブロックの転送処理のフローチャート（その2）である。

【図22】本発明のスヌープキャッシュメモリ制御システムの具体例2のプロセッサからの書き込み要求でキャッシュヒットした場合のフローチャートである。

【図23】本発明のスヌープキャッシュメモリ制御システムの具体例2の共有バスからのブロック転送要求でキャッシュヒットした場合のフローチャートである。

【図24】本発明のスヌープキャッシュメモリ制御システムの具体例2の共有バスからのオーナー委譲要求でキャ

26

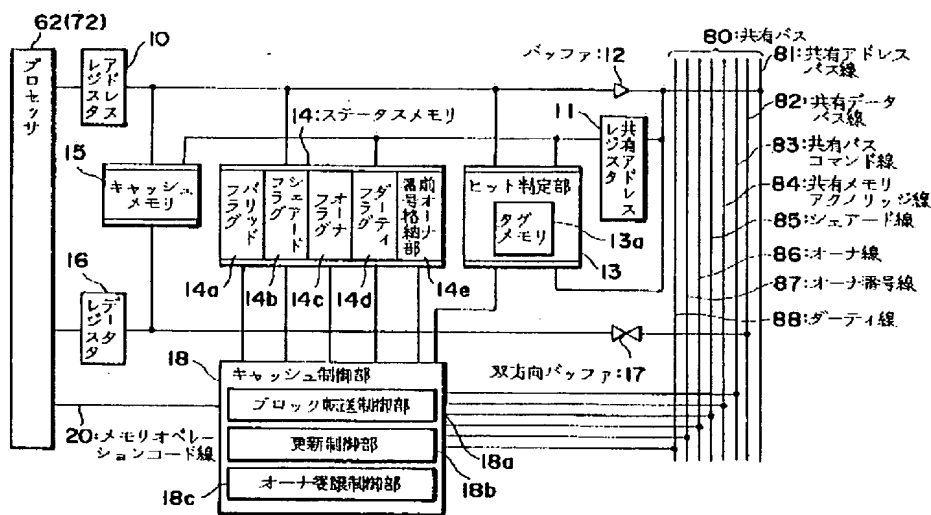
ッシュヒットした場合のフローチャートである。

【図25】本発明のスヌープキャッシュメモリ制御システムの具体例2の共有バスからの更新要求でキャッシュヒットした場合のフローチャートである。

【符号の説明】

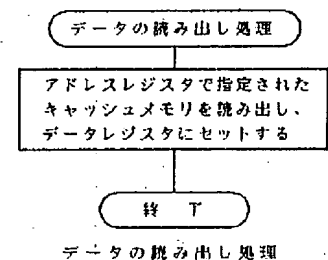
- 14 e 前オーナー番号格納部
- 15 キャッシュメモリ
- 18 キャッシュ制御部
- 18 a ブロック転送制御部
- 18 b 更新制御部
- 18 c オーナー委譲制御部
- 50 共有メモリ
- 80 共有バス
- 21 キャッシュ制御部
- 21 a 高優先度キャッシュメモリヒット判定部
- 21 b オーナー委譲制御部

【図1】

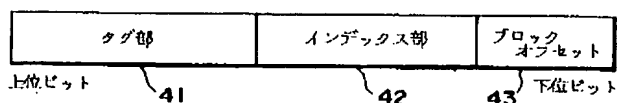


本発明システムの具体例1の構成図

【図11】

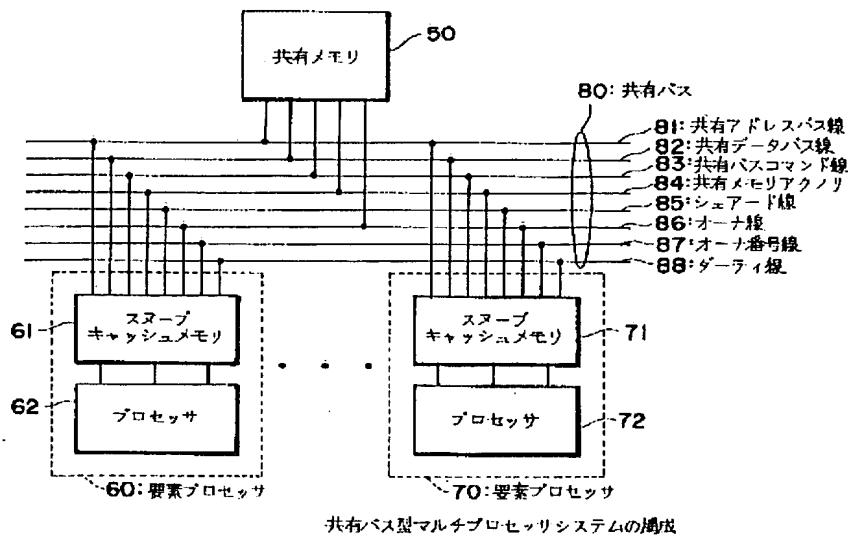


【図3】

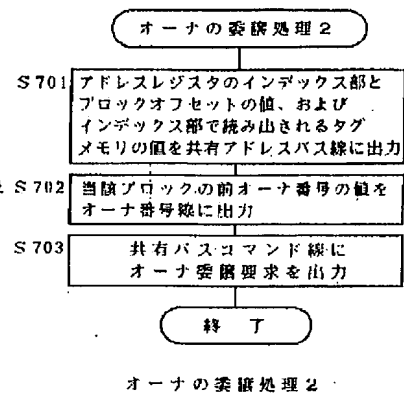


本システムのアドレス構成

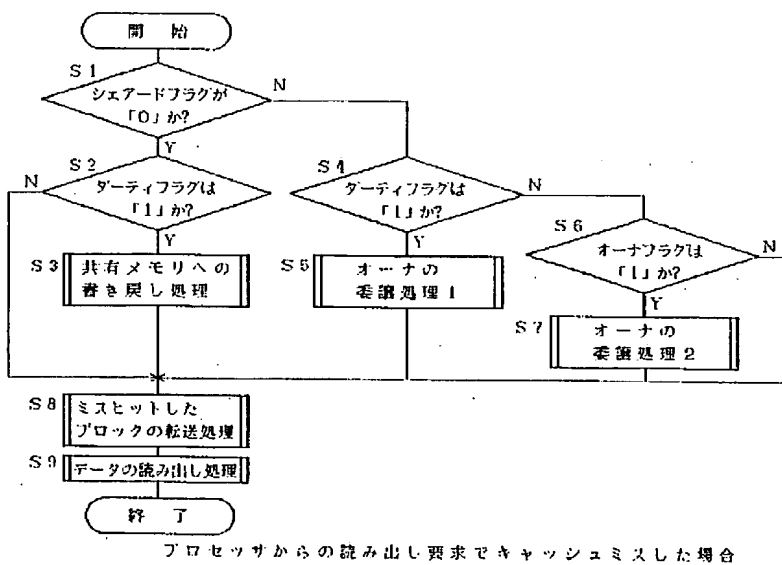
【図2】



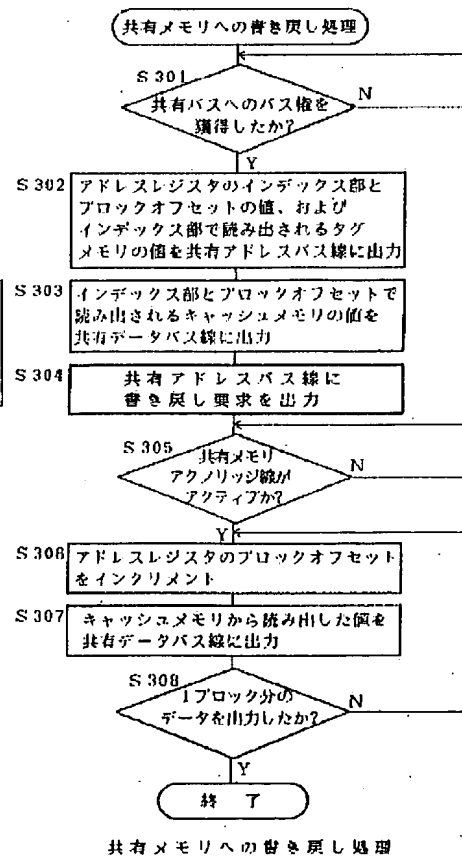
【図7】



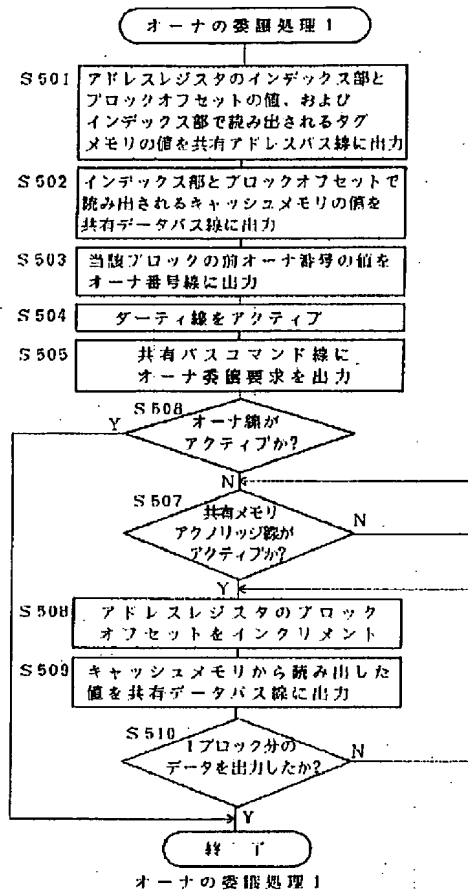
【図4】



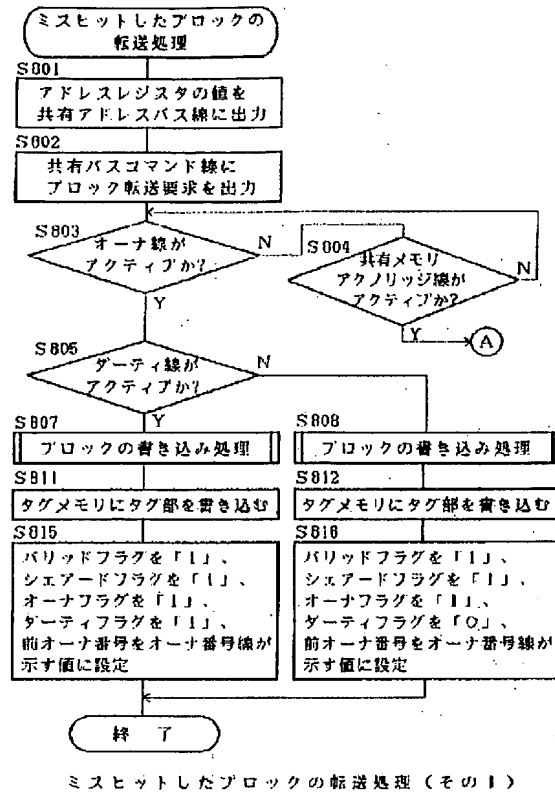
【図5】



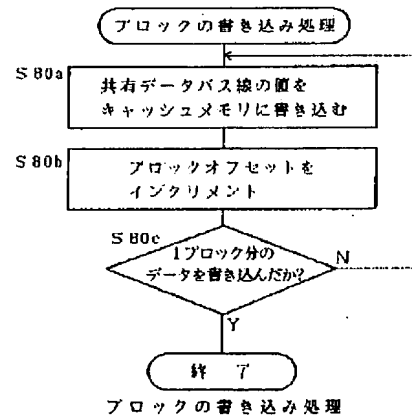
【図 6】



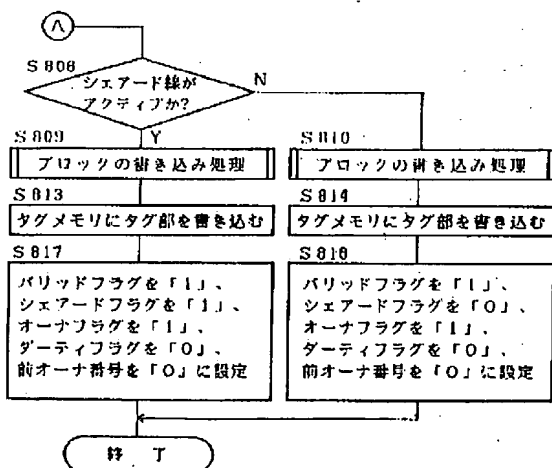
【図 8】



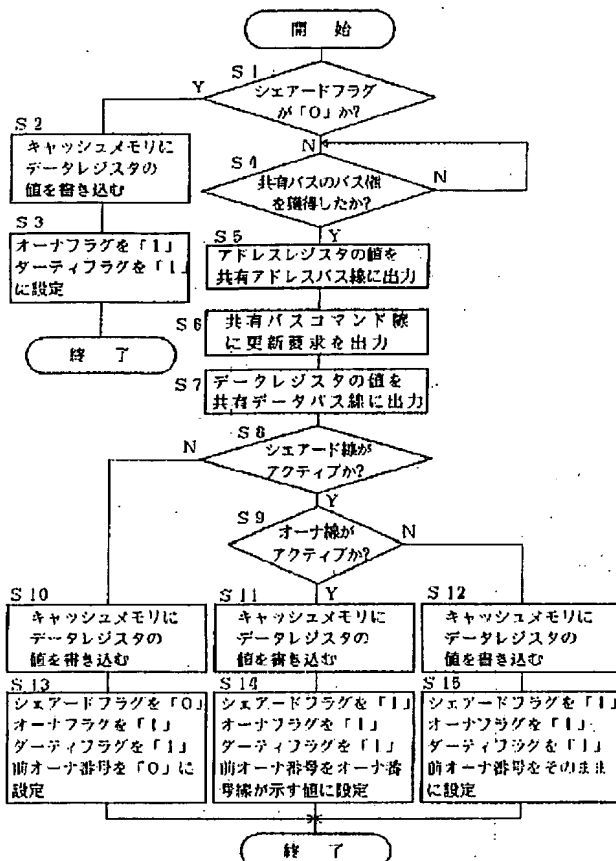
【図 10】



【図 9】

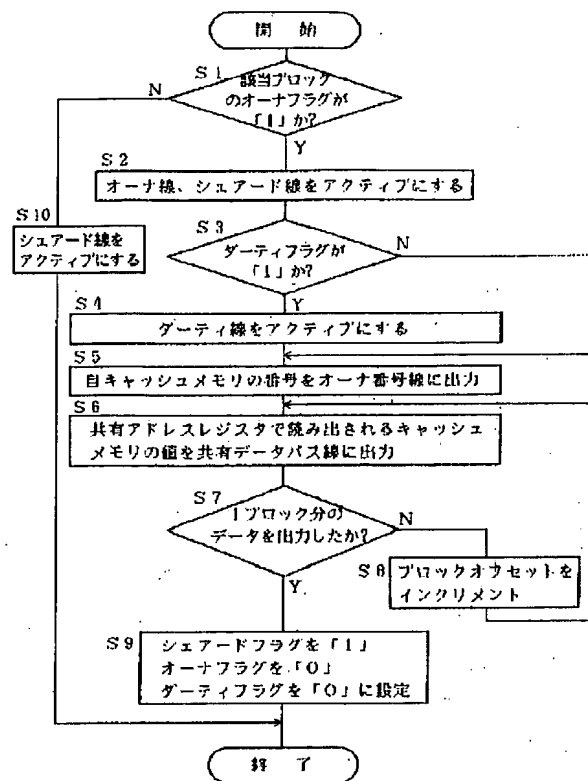


【図12】



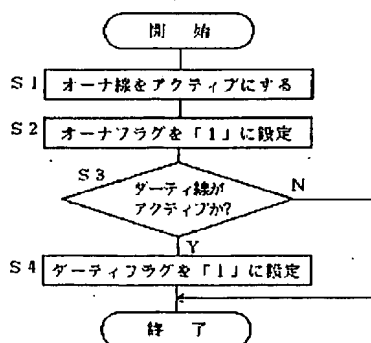
プロセッサからの書き込み要求でキャッシュヒットした場合

【図13】



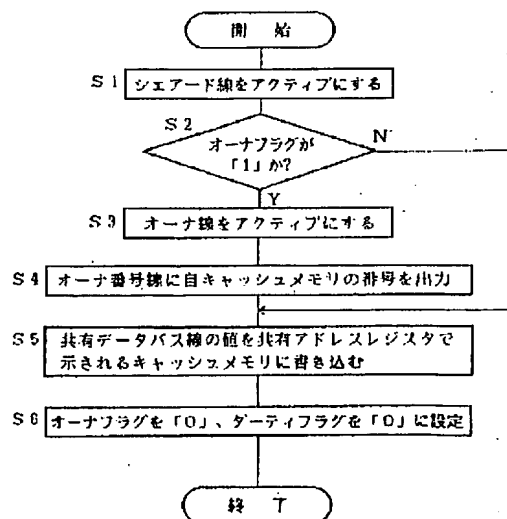
共有バスからのブロック転送要求でキャッシュヒットした場合

【図14】



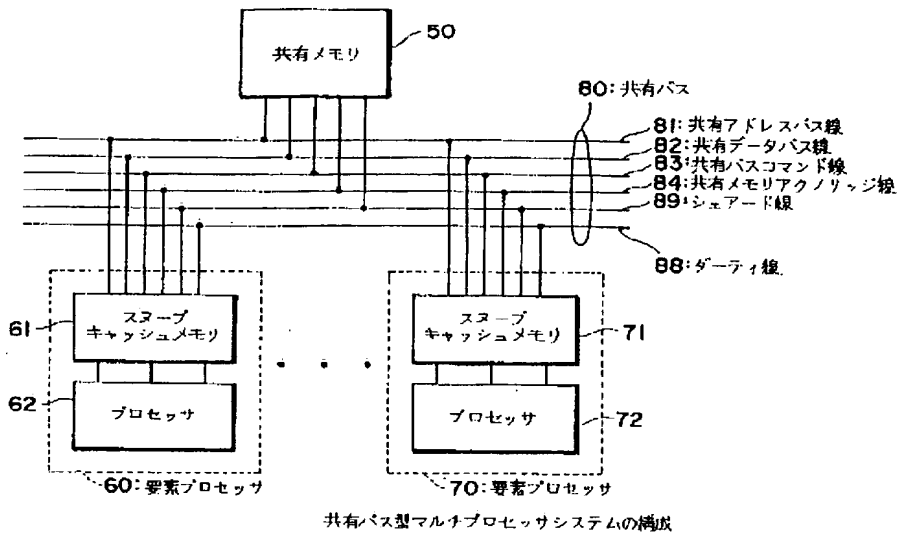
共有バスからのオーナ要求でキャッシュヒットした場合

【図15】

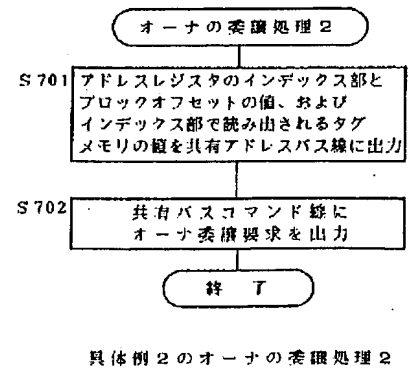


共有バスからの更新要求でキャッシュヒットした場合

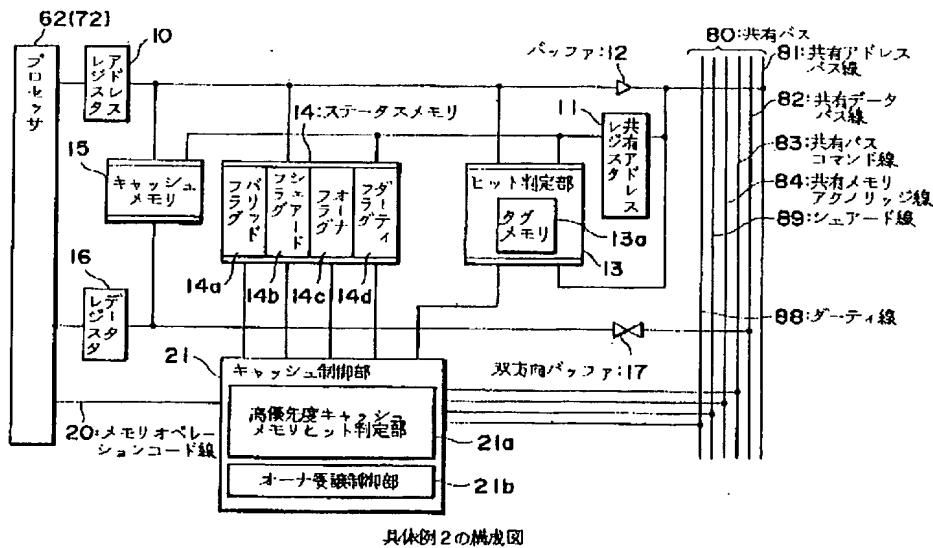
【図16】



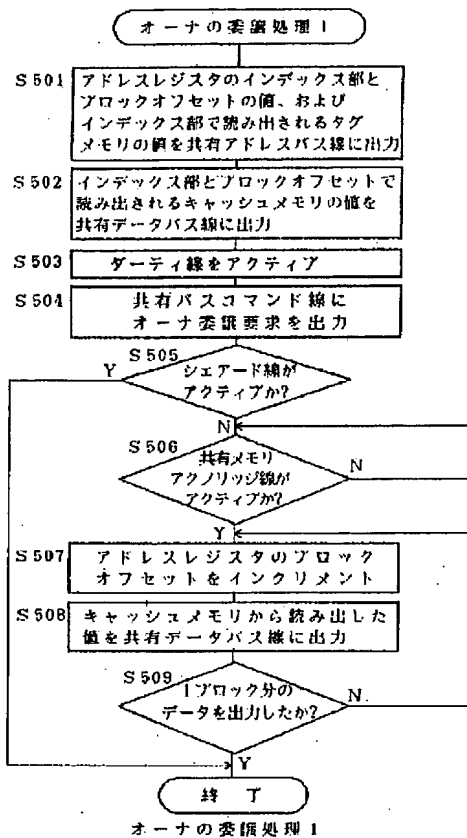
【図19】



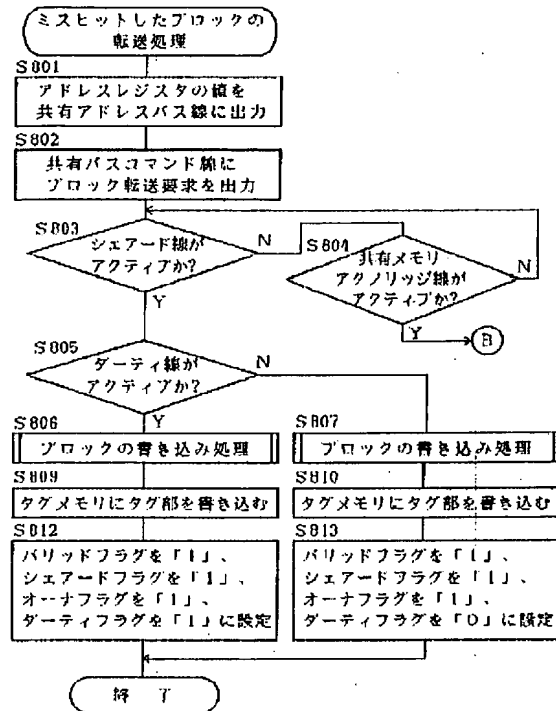
【図17】



【図 18】

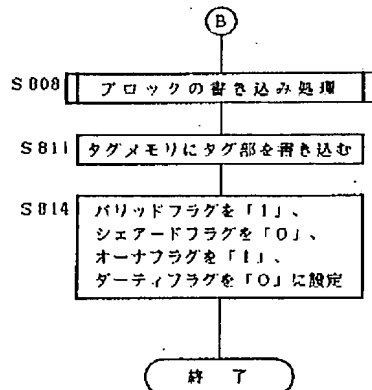


【図 20】



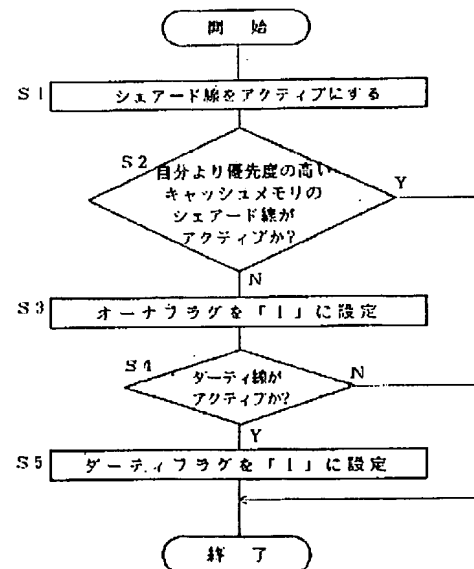
具体例 2 のミスヒットしたブロックの転送処理 (その 1)

【図 21】



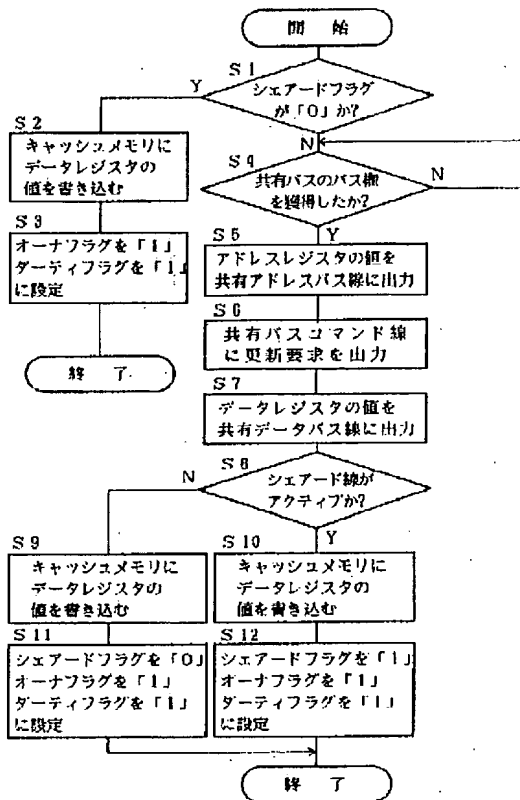
具体例 2 のミスヒットしたブロックの転送処理 (その 2)

【図 24】



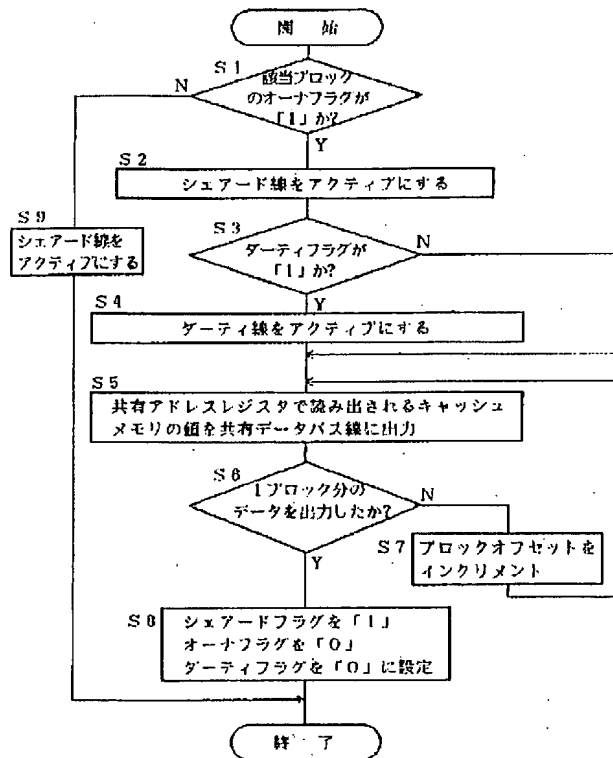
共有バスからのオーナー委譲要求でキャッシュヒットした場合

【図 22】



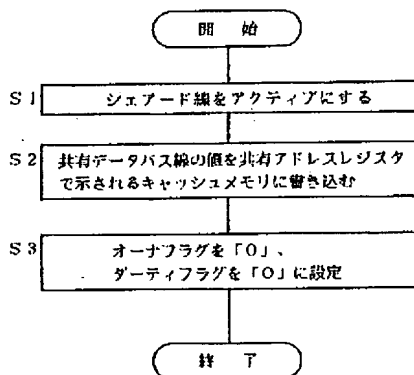
プロセッサからの書き込み要求でキャッシュヒットした場合

【図 23】



共有バスからのブロック転送要求でキャッシュヒットした場合

【図 25】



共有バスからの更新要求でキャッシュヒットした場合